

УДК 621.375.4

Д.Б. Бородин, С.С. Тюнин, В.А. Кабиров, В.Д. Семёнов

Исследование статических и динамических характеристик драйвера нижнего транзисторного ключа, с повышением логического уровня управляющего сигнала*

В статье представлен сравнительный анализ статических и динамических характеристик, полученных на имитационной модели и экспериментальном образце драйвера нижнего транзисторного ключа с повышением логического уровня управляющего сигнала с 3,3 В до 12 В.

Ключевые слова: драйвер, нижний уровень, повышение логического уровня

* Работа выполнена на основании договора между АО «ИСС» и Минобрнауки РФ от 01.12.2015г. №02.G25.31.0182

Развитие силовой электроники направлено на улучшение массо-габаритных показателей и КПД преобразователей энергии, что особенно важно для систем электропитания космических аппаратов. Важную роль в этих системах играют и драйверы силовых транзисторных ключей, к которым часто предъявляются высокие требования не только по малому потреблению и высокому быстродействию, но и по возможности изменения уровня управляющего напряжения, а также по стойкости к излучениям. Поэтому задача разработки и исследования таких драйверов продолжает быть актуальной, несмотря на множество уже существующих решений.

Описание схемы драйвера

Анализ научно-технической и патентной литературы показал, что над драйверами с повышением логического уровня работают ведущие мировые фирмы [1,2], а достигнутые ими показатели, тем не менее, требуют улучшения. Рассмотренные технические решения позволили разработать оригинальную схему драйвера нижнего ключа, представленную на рисунке 1. Ожидаемые характеристики этой схемы должны превзойти характеристики приведённых аналогов.

Предлагаемый драйвер функционально состоит

из узла схемы повышения логического уровня (СПЛУ) и узла усилителя тока (УТ). Узел СПЛУ включает в себя полевые транзисторы VT1-VT5, необходимые для согласования уровня входного сигнала от генератора импульсов, величиной 3,3 В с уровнем выходного сигнала 12 В, который обеспечивается узлом УТ, состоящим из восьми биполярных транзисторов (VT6-VT13) с выравнивающими резисторами (R8-R15). Полевой транзистор VT3 необходим для реализации положительной обратной связи с целью увеличения скорости переключения силового ключа, который на семе представлен только входной емкостью С).

Транзисторы усилителя тока должны иметь высокое быстродействие, выдерживать напряжение коллектор-эмиттер не ниже 12В и импульсные токи не менее 2А. Этим требованиям удовлетворяют транзисторы BCX52 и BCX55, которые имеют отечественные аналоги.

Математическая модель драйвера

Целью данной работы является исследование статических и динамических характеристик драйвера нижнего уровня. Из статических характеристик ограничимся зависимостью величины потребляемого тока каналов 3,3 В и 12 В от изменения входной

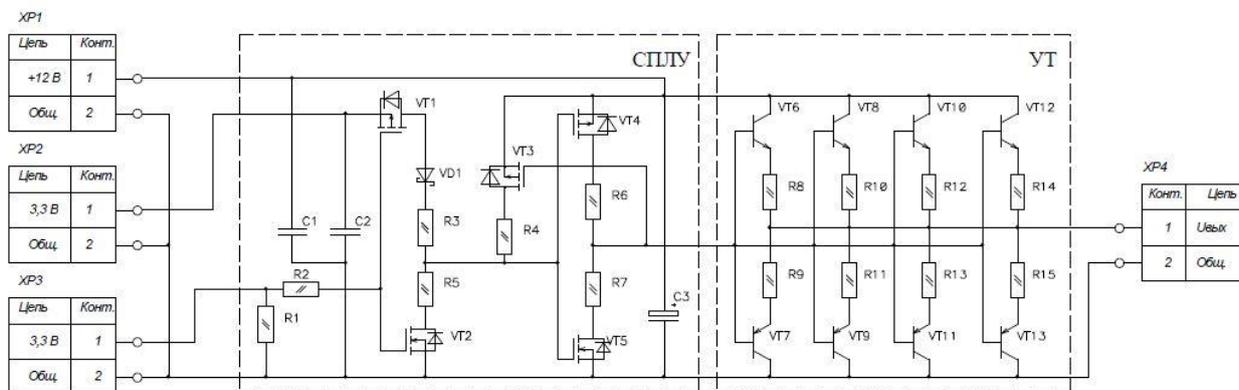


Рис.1 Функциональная схема драйвера нижнего уровня

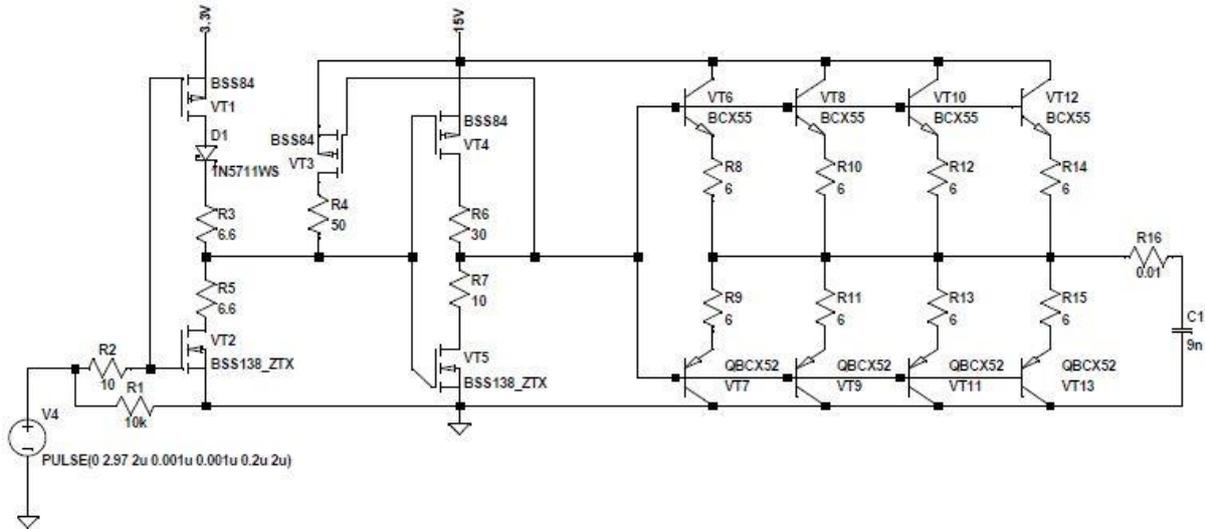


Рис.2 Имитационная модель драйвера нижнего уровня в среде LTSpice

ёмкости транзисторного ключа. Из динамических характеристик исследуем зависимость времени задержки на включение и выключение, а также времени нарастания и времени спада выходного сигнала от напряжения питания каналов 3,3 В и 12 В.

Для исследования характеристик драйвера нижнего ключа была построена математическая модель в среде LTSpice VI, представленная на рисунке 2. На разработанной модели были проведены следующие эксперименты:

эксперимент по определению динамических и статических характеристик драйвера (влияние паразитных параметров силовых транзисторов на эти характеристики);

эксперимент по определению влияния отклонения напряжения питания 3,3 В и 12 В (от номинального значения) на динамические и статические характеристики драйвера;

эксперимент по определению величины потребляемого тока источников питания 3,3 В и 12 В при изменении параметров нагрузки.

По результатам моделирования были измерены время задержки включения $t_{\text{зад.вкл}}$, время нарастания импульса $t_{\text{нар}}$, время задержки выключения $t_{\text{зад.выкл}}$, время спада импульса $t_{\text{сп}}$. Время задержки включения определялось как интервал времени между передним фронтом входного импульса и моментом времени, при котором напряжение выходного импульса достигает значения 10% от напряжения питания, т.е. $0,1E$.

Время задержки выключения определялось как интервал времени между задним фронтом входного импульса и моментом времени, при котором напряжение выходного импульса достигает значения $0,9E$.

Время нарастания импульса определялось как промежуток времени, на котором выходное напряжение возрастает от $0,1E$ до $0,9E$.

Время спада импульса выходного сигнала определялось аналогично, с учётом изменения сигнала от $0,9E$ до $0,1E$.

На рисунках 3,4 представлены осциллограммы входного и выходного сигналов драйвера с указанием а) времени задержки включения сигнала б) времени нарастания сигнала в) времени задержки выключения сигнала г) времени спада сигнала.

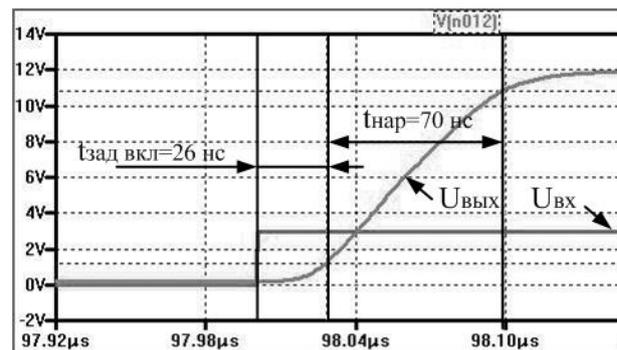


Рис. 3. Осциллограммы входного и выходного напряжения драйвера: время задержки включения и время нарастания сигнала

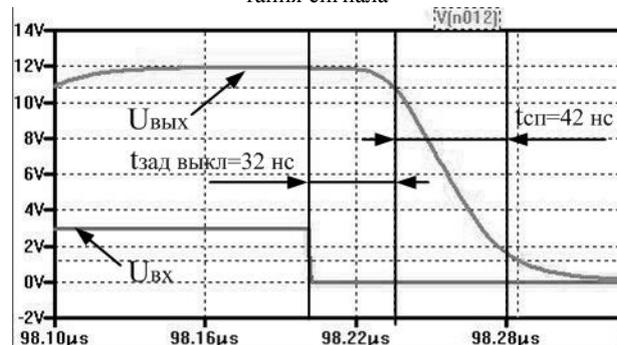


Рис. 4. Осциллограммы входного и выходного напряжения драйвера: время задержки выключения и время спада сигнала

На представленной имитационной модели, были получены данные о зависимостях временных задержек и скоростей нарастания и спада выходного сигнала от изменения величины напряжения питания. Данные представлены в Таблицах 1-3.

Таблица 1
Зависимость временных характеристик модели драйвера нижнего уровня от изменения напряжения питания 3,3 В

Напряжение канала 3,3 В, В	Время задержки включения, нс	Время нарастания выходного сигнала, нс	Время спада выходного сигнала, нс	Время задержки выключения, нс	Время нарастания входного сигнала, нс	Время спада входного сигнала, нс
2,97	26,03	70,48	49,88	40,1	1,5	1,5
3,1	28,3	70,64	49,49	33,6	1,5	1,5
3,23	27,69	70,72	49,9	32,5	1,5	1,5
3,37	27,6	70,89	48,9	29,74	1,5	1,5
3,5	27,5	70,98	48,56	28,54	1,5	1,5
3,63	27,8	71,26	48,14	28	1,5	1,5

Таблица 2
Зависимость временных характеристик модели драйвера нижнего уровня от изменения напряжения питания 12 В

Напряжение канала 3,3 В, В	Время задержки включения, нс	Время нарастания выходного сигнала, нс	Время спада выходного сигнала, нс	Время задержки выключения, нс	Время нарастания входного сигнала, нс	Время спада входного сигнала, нс
10,8	28	62,34	49,57	31,6	1,5	1,5
11,3	27,6	65,18	49,2	32,37	1,5	1,5
11,7	27,6	68,41	49,41	32,53	1,5	1,5
12,2	27,88	72,96	49,07	32,71	1,5	1,5
12,7	27,4	78,6	49,07	33,83	1,5	1,5
13,2	26,5	86,94	49,07	33,2	1,5	1,5

Таблица 3
Зависимость потребляемого тока и мощность драйвера нижнего уровня от величины ёмкости нагрузки

Значение выходной ёмкости, пФ	Ток потребления канала 3,3 В, мА	Напряжение канала 3,3 В, В	Ток потребления канала 12 В, мА	Напряжение канала 12 В, В	Потребляемая мощность канала 3,3 В, мВт	Потребляемая мощность канала 12 В, мВт
2000	0,235	3,3	23	12	0,776	276
5000	0,237	3,3	41	12	0,782	492
9000	0,239	3,3	65	12	0,789	780
12000	0,241	3,3	83	12	0,795	996
15000	0,243	3,3	101	12	0,802	1212

Экспериментальные исследования макета драйвера нижнего уровня

Функциональная схема экспериментального макета драйвера нижнего ключа представлена на рисунке 5. Питательное напряжение для усилителя тока и схемы повышения логического уровня организованы источником питания GW-Instek GPS-2303. Импульсы управления драйвером задавались программируемой логической интегральной схемой (ПЛИС) DEO-папо.

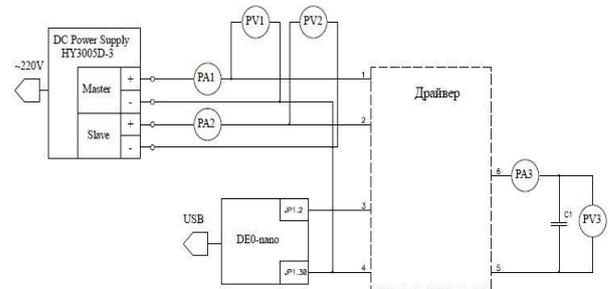


Рис. 5. Функциональная схема макета драйвера нижнего ключа

На рисунках 6 и 7 представлены осциллограммы входного и выходного сигналов макета драйвера. Методика измерения длительностей сигналов аналогична методике, описанной при исследовании имитационной модели.

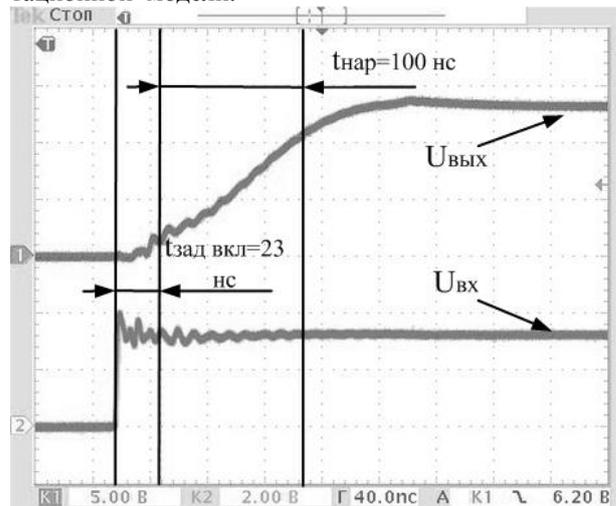


Рис. 6. Осциллограммы входного и выходного напряжения драйвера: время нарастания сигнала

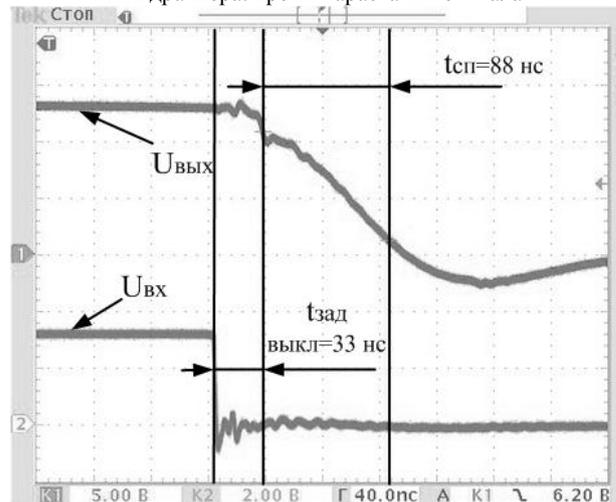


Рис. 7. Осциллограммы входного и выходного напряжения драйвера: время спада сигнала

Данные, полученные при экспериментальном исследовании макета, представлены в таблицах 4-6.

Таблица 4

Экспериментальная зависимость временных характеристик макета драйвера нижнего уровня от изменения величины напряжения питания 3,3 В

Напряжение канала 3,3 В, В	Время задержки включения, нс	Время нарастания выходного сигнала, нс	Время спада выходного сигнала, нс	Время задержки выключения, нс	Время нарастания входного сигнала, нс	Время спада входного сигнала, нс
2,97	23,2	102	76	40	2	2
3,1	23,4	102	86,4	35	2	2
3,23	23,2	102	86,4	33,6	2	2
3,37	23,6	102	85,8	33,4	2	2
3,5	23,6	102	85,2	31,4	2	2
3,63	21,8	102	84,4	31,2	2	2

Таблица 5

Экспериментальная зависимость временных характеристик макета драйвера нижнего уровня от изменения величины напряжения питания 12 В

Напряжение канала 3,3 В, В	Время задержки включения, нс	Время нарастания выходного сигнала, нс	Время спада выходного сигнала, нс	Время задержки выключения, нс	Время нарастания входного сигнала, нс	Время спада входного сигнала, нс
10,8	31	94,8	84,8	34	2	2
11,3	31	101	84	33,2	2	2
11,7	30,8	100	84,4	33,6	2	2
12,2	30,8	105	84,8	32	2	2
12,7	30,4	103	85,6	32,8	2	2
13,2	30	103	85,6	33,2	2	2

Таблица 6

Экспериментальная зависимость потребляемого тока и мощности драйвера нижнего уровня от величины ёмкости нагрузки

Значение выходной ёмкости, пФ	Ток потребления канала 3,3 В, мА	Напряжение канала 3,3 В, В	Ток потребления канала 12 В, мА	Напряжение канала 12 В, В	Потребляемая мощность канала 3,3 В, мВт	Потребляемая мощность канала 12 В, мВт
2000	0,27	3,3	11,6	12	0,891	139
5000	0,28	3,3	21,06	12	0,924	252
9000	0,28	3,3	30,44	12	0,924	365

Значение выходной ёмкости, пФ	Ток потребления канала 3,3 В, мА	Напряжение канала 3,3 В, В	Ток потребления канала 12 В, мА	Напряжение канала 12 В, В	Потребляемая мощность канала 3,3 В, мВт	Потребляемая мощность канала 12 В, мВт
12000	0,28	3,3	42	12	0,924	504
15000	0,28	3,3	49	12	0,924	588

Выводы

Имитационная модель драйвера, разработанная в среде LTSpice VI, позволила рассчитать и выбрать основные элементы драйвера, реализовать экспериментальный образец и провести его исследования. Результаты исследования подтвердили адекватность имитационной модели и экспериментального макета совпадением динамических и статических характеристик с достаточной точностью.

Литература

1. Патент 8575987 США. Level shift circuit/Kazutaka Kikuchi опубликован 05.11.2013
2. Патент 7446566 США. Level shifter/David Chrudimsky опубликован 04.11.2008

Бородин Данила Борисович

Аспирант кафедры Промышленная электроника (ПрЭ) Томского университета систем управления и радиоэлектроники
Тел.: +7(952)881-65-61
Эл. почта: borodindanila@mail.ru

Тюнин Сергей Сергеевич

Аспирант кафедры Промышленная электроника (ПрЭ) Томского университета систем управления и радиоэлектроники
Тел.: +7(923)401-72-99
Эл. почта: Tun89@mail.ru

Кабиров Вагиз Александрович

Заведующий лабораторией ГПО
Эл. почта: fva@mail.vipelec.com

Семёнов Валерий Дмитриевич

К.т.н., Профессор кафедры ПрЭ Томского университета систем управления и радиоэлектроники
Эл. почта: svd@vipelec.com

Borodin D.B., Tunin S.S., Kabirov V.A. Semenov V.D. Analysis dynamic and static characters of low-side driver with CMOS digital level shifter

In this article presents the analysis of dynamic and static characters of low-side driver with CMOS digital level shifter. In this paper gives waveforms of delay between input and output signals, rising and falling time. Shows waveforms of experimental circuit.

Keywords: low-side driver, CMOS, level shifter.

8(952)881-65-61